

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-222954

(43)Date of publication of application : 14.12.1984

(51)Int.CI.

H01L 25/08  
H01L 21/88  
H01L 23/48  
H01L 23/52

(21)Application number : 58-095729

(71)Applicant : HITACHI LTD

(22)Date of filing : 01.06.1983

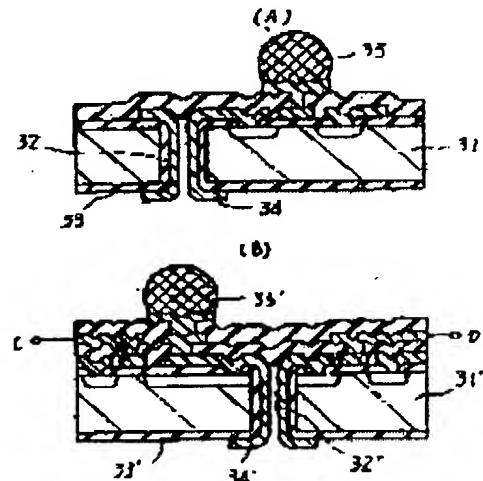
(72)Inventor : KETSUSAKO MITSUNORI

## (54) LAMINATED SEMICONDUCTOR INTEGRATED CIRCUIT AND MANUFACTURE THEREOF

## (57)Abstract:

PURPOSE: To enable to reduce the chip-to-chip wiring length and to contrive to enhance the mounting density by a method wherein the connection parts of active substrates are constituted of solder pads and interposing solder layers, which respectively oppose to each other, and a penetrating hole, whose inner surface has been coated with an insulating film and a conductive film, is provided on at least one side of the solder pads.

CONSTITUTION: Groups of elements have been provided in the surfaces of chips 31 and 31' by selectively performing a doping and chip penetrating holes 32 and 32', etc., have been provided piercing through parts of the groups. Insulating films 33 and 33', such as an oxide film, etc., have been provided at the surfaces of the penetrating holes 32 and 32', and moreover, conductive coatings 34 and 34', which are provided at the upper parts thereof, and the substrates have been electrically separated. Solder bumps 35 and 35', which are used for connection with other chips, have been formed at the upper parts of wiring layers and the bump 35' of the lower chip has been provided opposite right to the bonding pad 34 having been extendedly provided from the opening part of the upper chip.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

⑨ 日本国特許庁 (JP)  
 ⑩ 公開特許公報 (A)

⑪ 特許出願公開  
 昭59—222954

⑫ Int. Cl.<sup>3</sup>  
 H 01 L 25/08  
 21/88  
 23/48  
 23/52

識別記号

厅内整理番号  
 7638—5F  
 6810—5F  
 6732—5F  
 6428—5F

⑬ 公開 昭和59年(1984)12月14日  
 発明の数 2  
 著者請求 未請求

(全 3 頁)

## ④ 横層半導体集積回路およびその製法

地株式会社日立製作所中央研究所内

⑤ 特 願 昭58—95729  
 ⑥ 出 願 昭58(1983)6月1日  
 ⑦ 発明者 斎迫光紀

⑧ 出願人 株式会社日立製作所  
 東京都千代田区神田駿河台4丁目6番地  
 ⑨ 代理人 弁理士 高橋明夫 外1名

国分寺市東恋ヶ窓1丁目280番

明細書  
 発明の名称 横層半導体集積回路およびその製法

## 特許請求の範囲

1. 半導体基板の少くとも一面上に量子阱が形成された能動基板を少くとも2以上複数して成る集積回路について、該能動基板の表面部は対向する半田パッド及び介在半田層により構成され、かつ該半田パッドの少くとも一方に内面が絶縁膜及び導電膜により被覆された貫通孔を有することを特徴とする横層半導体集積回路。
2. 半導体基板の一面上に半田パッド及び半田バンプを有し、他の上面に内面が絶縁膜及び導電膜により被覆された貫通孔を設けた半田受容パンドを有する能動基板を構成装置とし、上記構成の基板を半径として被覆複層して成る第2層が第1層より複数の横層半導体集積回路の製造方法。
3. 半田バンプの半田層の高さは能動基板の平坦度より大であり、かつ貫通孔の内面積は上記半

田層の体積より大である如く形成された能動基板を用いることを特徴とする特許請求の範囲第2項記載の横層半導体集積回路の製法。

4. 能動基板の横層を減圧環境下での加熱により行なう特許請求の範囲第2項記載の横層半導体集積回路の製法。

## 発明の詳細を説明

## 【発明の利用分野】

本発明は半導体集積回路チップを横層して成る半導体集積回路およびその製法に関する。

## 【発明の背景】

電子計算機のような高度な電子回路システムは従来半導体高密度集積回路(LSI)のパッケージを単位とし、これが多段、プリント配線基板上に配列され実装されて構成されていた。さらに並んだシステムでは、第1回に示す如き複数のチップモジュールを構成し、配線量を短縮して接続端の向上を図るとともに配線遮蔽を短絡して高密度化が図られていた。第1回に示す複数チップモジュールでは、各LSIチップ11, 11', 11''は素

示層 1 2 を下向きにし、テープの周縁部に設けられたボンディングバンド 1 3 を、多層配線セラミック基板 1 4 の上に設けられたボンディングバンド 1 5 に対向させ、公知のフェースタウンボンディング技術により接着されている。

この複数テープセキュールでは、メンディングのための細線は不要であり、各チップは半田により多層配線基板に固定され、実装密度、システムの信頼性等多くの利点が実現されていた。

しかし、従来の実装法は、完成したテープから剥離してより、メンディングバンドは各チップの周縁部のみに設けられ、テープ間の接続は多層配線基板を介してのみ実現されていたため、配線長の追加にも限界があるつた。

#### 【発明の目的】

本発明は、かかる従来実装技術の限界を越えてテープ間配線長の短縮を可能とし、さらに高い実装密度を実現する効率的な接続回路及びその製造方法を提供することを目的とする。

#### 【発明の概要】

が設けられており、その一部にはテープ貫通孔 3 2, 3 2' 等が設けられている。貫通孔 3 2, 3 2' の裏面は硬化膜等による遮蔽膜 3 3, 3 3' が設けられ、さらにその上部に設けられる導電性被膜 3 4, 3 4' と基板とを電気的に分離している。

配線層の上部には他のチップとの接続に用いられる半田バンプ 3 5, 3 5' が形成されており、下層チップのバンプ 3 6' は上層チップの開孔部から延びるボンディングバンド 3 4' に正対して設けられている。

図 3 図に示した構造は図 4 図の如き回路と対応しており、チップを系統することにより、輪廓回路の一端が構成される。この輪廓回路の入力の一部、例えば A には、さらに上層のチップの出力が受けられる構造となつてあり、チップ間に亘る配線が図 1 図に示すような外部配線体を用いる場合に比べ短縮されるのが理解できる。

この実用例に示される半田バンプの大きさでは、 $20 \mu m$ 程度であり、これは多層配線の加され

#### 特開昭59-222954(2)

本発明は、基本的には第 2 図に示す如き、チップ根層に上る高密度実装技術に係る。第 2 図で例示した構成では、チップ 2 1, 2 1', 2 1'' 各の片面に電子計の形成された層 2 2, 2 2',

2 2'' 等が設けられ、電子層 2 2 の上に設けられたボンディングバンド 2 3 と、チップ 2 1' の裏面に設けられたボンディングバンド 2 4 とが接続され、順次チップが積層・接続されて基板 2 5 にマウントされている。初期基板 2 5 は第 1 図に示した如き多層配線基板であつてなく、また、根層は基板上の複数の位置でなされて置しつかえない。

本発明により積層構造を構成するためにはチップの裏面に形成した電子と、チップ裏面に形成したボンディングバンドとを接続するためのチップ貫通配線と、チップ同士を接続するための万能が必要であり。以下実施例についてこれを説明する。  
【発明の実施例】

第 3 図は本発明によるチップ接続を行なう直前の接続部電子断面の一例である。チップ 3 1 および 3 1' の裏面には過式ドーピングにより電子計

が形成されており、その一部にはチップ貫通孔 3 2, 3 2' 等が設けられている。貫通孔 3 2, 3 2' の裏面は硬化膜等による遮蔽膜 3 3, 3 3' が設けられ、さらにその上部に設けられる導電性被膜 3 4, 3 4' と基板とを電気的に分離している。

チップの接続は半田の溶解温度での熱圧着により実現される。この場合、ボンディングバンドが平坦であると、各ボンディングバンドの高密度により、半田のボンディングバンドからの圧し出しによる瘤あが生ずることがあり、特にボンディングバンドの数が多い場合には表面電子の歩留り上好ましくない。実験例によるボンディングバンドに設けられた貫通孔は、チップ接続時に直角を設ける。すなわち、リフロー時に接続に必要なとする以外の半田を貫通孔内に吸取するため、圧縮時に半田がボンディングバンドよりはみ出ることが少ないと。この効果は熱圧着温度下で行なうことが必要であり、また、貫通孔の内空模様が、半田チップの体積よりも大きくなければならない。

#### 【発明の効果】

以上説明した如く、本発明によれば、多数のチ

ンプを積層して接合密度を飛躍的に向上させると  
上ができる他、従来のチップ周囲部にのみボンディング  
ワイヤーバンドを成形したエースドワントンディング  
グ法に比べて、チップ内の領域に多数の接続点を  
設けることが可能となり、また、配線長を短縮で  
きるため、総合的システム性能を向上させるこ  
とができる。

また、上記実施例では簡単なMO片電子素子を用  
いて説明したが、各チップの導電性を変えて相  
形の構成としたり、また、センサチップ、論理チ  
ップ、メモリチップ等チップ間に異なる機能を有  
するものを取扱し、高機能の複合処理を実現するこ  
とも可能である。

#### 図面の簡単な説明

第1図は従来の単チップモジュールの断面構造  
を示す模式図、第2図は本発明の構造を示す断面  
構造図、第3図は本発明の一実施例を示す接続部  
の電子断面図、第4図はこれに対応する等価回路  
を示す図である。

21, 21' …チップ、22, 22' …電子層、

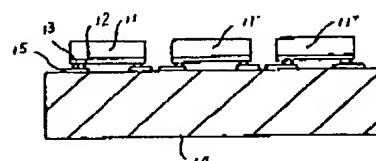
特開昭59-222954(3)

23 …表面ボンディングワンド、24 …表面ボン  
ディングワンド、31, 31' …チップ、32,  
32' …貫通孔、36, 35' …半切バシブ。

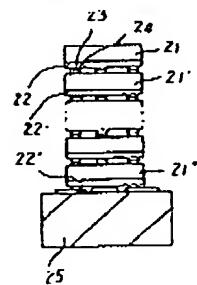
代理人 担任士 高橋明天



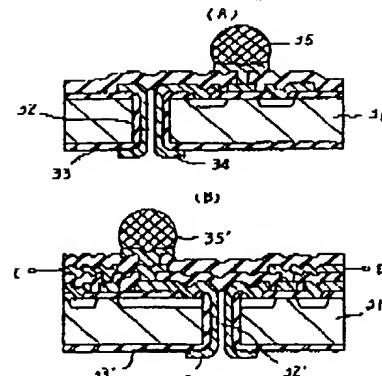
第 1 図



第 2 図



第 3 図



第 4 図

